

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁸
H01L 21/336

(11) 공개번호 특1999-016514

(43) 공개일자 1999년 03월 05일

(21) 출원번호 특 1997-039091

(22) 출원일자 1997년 08월 16일

000	K00	011	삼성전자	주식회사	이영하	(?)
-----	-----	-----	------	------	-----	-----

경기도 수원시 팔달구 매탄동 416번지

(72) 발명자 김민정

(12) **결정지** 경기도 수원시 권선구 세로3동 서위아파트 103동 701호

(74) 대리인 정기노
임창현

심사점수 : 있음

(54) 반도체 장치의 게이트 전극 형성 방법

요약

반도체 발명은 반도체 장치의 게이트 전극 형성 방법에 관한 것으로, 반도체 기판 상에 게이트 산화막을 형성하는 단계와, 상기 게이트 산화막 상에 게이트 전극용 폴리실리콘막 및 금속 실리사이드막을 순차적으로 형성하는 단계와, 상기 금속 실리사이드막 상에 얇은 금속 실리콘 질화막을 형성하는 단계와, 상기 얇은 금속 실리콘 질화막 상에 인 시추로 게이트 식각용 절연막을 형성하는 단계와, 상기 게이트 식각용 절연막 및 얇은 금속 실리콘 질화막, 금속 실리사이드막, 그리고 게이트 전극용 폴리실리콘막을 식각하여 게이트 전극층을 형성하는 단계를 포함한다. 이때, 상기 금속 실리사이드막은 스퍼터 방법으로 형성되고, 상기 게이트 식각용 절연막은 소정의 고온에서 형성된다. 이와 같은 반도체 장치의 제조 방법에 의해서, 게이트 금속 실리사이드막의 후속 고온 공정에서 발생하는 실리콘 이상 성상을 저지할 수 있고, 게이트 전극 형성을 위한 식각 공정과 세정 공정에 따른 게이트 특성 저하를 최소화시킬 수 있다.

045

5.54

명세서

도면의 관용과 설명

도 1은 종래의 일 실시예에 따른 반도체 장치의 게이트 전극 형성시 발생하는 문제점을 설명하기 위한 단면도, 도 2는 종래의 다른 실시예에 따른 반도체 장치의 게이트 전극 형성시 발생하는 문제점을 설명하기 위한 단면도, 도 3은 종래의 또 다른 실시예에 따른 반도체 장치의 게이트 전극 형성시 발생하는 문제점을 설명하기 위한 단면도, 도 4a 내지 도 4d는 본 발명의 일 실시예에 따른 반도체 장치의 게이트 전극 형성 방법을 순차적으로 보여주는 단면도, 도 5a 내지 도 5d는 본 발명의 다른 실시예에 따른 반도체 장치의 게이트 전극 형성 방법을 순차적으로 보여주는 단면도, 도 6a 내지 도 6c는 본 발명의 또 다른 실시예에 따른 반도체 장치의 게이트 전극 형성 방법을 순차적으로 보여주는 단면도.

도면의 주요부분에 대한 부호의 설명

22, 28 : 실리콘 이상 성장 16, 36, 206 : 배리어 금속막

100, 200 : 반도체 기판 104 , 202 : 게이트 산화막

106. 204 : 폴리실리콘막 108. 208 : 금속 실리콘사이드막

112. 120 : 게이트 식각용 절연막 114. 122 : 게이트 전극층

110, 124, 212 : 얇은 실리콘 질화막 102 : 필드산화막

116, 126 : 실리콘 질화막 116a, 126a, 214 : 절연막 스페이서

발명의 상세한 설명

॥ ५५५ ॥

본원이 속하는 기술 및 그 분야의 종래기술

반면, 발명은 반도체 장치의 게이트 전극 형성 방법에 관한 것으로, 좀 더 구체적으로는 스퍼터(sputter) 방법으로 형성된 금속 살리사이드막을 갖는 게이트 전극구조에서 발생하는 살리콘 이상 성장을 방지하고, 게이트 전극 하부의 게이트 산화막 에지(edge) 부분의 특성 개선 및 이때 발생하는 배리어 금속막의

소모를 최소화하는 반도체 장치의 게이트 전극 형성 방법에 관한 것이다.

반도체 소자가 고집적화 됨에 따라 배선 선평의 미세화가 요구된다. 그러나, 물질의 저항은 선평이 좁아짐에 따라 증가하므로 칩(chip)의 크기를 줄이면서 물질의 저항을 증가시키지 않도록 하는 방법이 요구된다. 이를 위해, 현재 폴리실리콘막과 그 막상에 $TiSi_x$ 막이 형성된 구조의 게이트 전극을 사용하고 있다.

도1은 종래의 일 실시예에 따른 반도체 장치의 게이트 전극 형성시 발생하는 문제점을 설명하기 위한 도면이다.

도1을 참조하면, 종래의 일 실시예에 따른 반도체 장치의 게이트 전극 형성 방법은 먼저, 게이트 산화막(12)이 형성된 반도체 기판(10)상에 게이트 전극용 폴리실리콘막(14)과, 배리어 금속막(16)과, 그리고 금속 실리사이드막(18)을 순차적으로 형성한다.

그리고, 상기 금속 실리사이드막(18) 상에 게이트 식각용 절연막(20)으로 LPCVD(Low Pressure Chemical Vapor Deposition) Si_3N_4 막(20)을 형성한다.

이때, 상기 금속 실리사이드막(18)으로서, 스퍼터 방법을 사용하여 $TiSi_x$ 막(18)을 형성하는 경우, 스퍼터 직후(as sputter) 상기 $TiSi_x$ 막(18)의 Ti와 Si의 조성비가 불균일한 영역이 발생된다.

상기 Ti와 Si의 조성비가 불균일한 영역을 갖는 $TiSi_x$ 막(18)상에 상전이 온도 이상의 고온(약 $760^{\circ}C$) 열처리 공정을 한 상기 LPCVD Si_3N_4 막(20) 형성 공정을 수행할 때, 상기 $TiSi_x$ 막(18)은 가장 안정된 상태의 조성비를 갖는 구조를 형성하게 된다.

이때, 여분의 Si이 한 곳으로 모여 상기 $TiSi_x$ 막(18) 내부로부터 상기 Si_3N_4 막(20)을 향해 돌출된 형태의 실리콘 이상 성장(22)이 발생된다.

후속 공정으로, 통상적인 사진식각(photo lithography) 공정을 통해 게이트 전극을 형성함에 있어서, 상기 실리콘 이상 성장(22)이 형성된 부분은 식각 되지 않고 남게 되어 게이트 전극간의 쇼트(short)를 유발하게 된다.

도2는 종래의 다른 실시예에 따른 반도체 장치의 게이트 전극 형성시 발생하는 문제점을 설명하기 위한 도면이다.

도2에 있어서, 도1에 도시된 반도체 장치의 게이트 전극의 구성 요소와 동일한 기능을 갖는 구성 요소에 대해서는 동일한 참조 번호를 병기하고 그 설명은 생략한다.

도2에 있어서, 종래의 일 실시예에 따른 반도체 장치의 게이트 전극 형성 방법은 상기 도1에서와 같은 실리콘 이상 성장(22)을 방지하기 위해, 상기 게이트 식각용 절연막(24)으로서, 저온(약 $400^{\circ}C$) 열처리 공정을 한 PECVD(Plasma Enhanced Chemical Vapor Deposition) 공정을 수행하여 Si_3N_4 막(24)을 형성한다.

그러나, 후속 공정으로 자동 정렬된 콘택(self-aligned contact)을 형성하기 위해, 배선 통간절연막과 식각 선평비가 같은 게이트 전극 스페이서(26)를 형성해야 한다. 즉, LPCVD Si_3N_4 막(26)을 형성해야 한다.

이때, 상기 LPCVD 고온 열처리 공정으로 인해 상기 게이트 전극의 상기 금속 실리사이드막(18) 양측으로부터 돌출된 형태의 실리콘 이상 성장(28)이 발생되어 게이트 전극간의 쇼트를 유발하는 문제점이 발생된다.

한편, 반도체 장치의 게이트 전극 형성 방법에 있어서, 게이트 전극 형성을 위해 사용되는 식각 공정과 후속 세정 공정에 의해서, 게이트 전극 하부의 게이트 산화막의 에지 부분이 언더컷(undercut) 되어, 게이트 전극 특성을 악화시키는 문제점이 발생된다.

이를 개선하기 위해, 종래에는 게이트 전극 식각 후 게이트 폴리 산화 공정(Gate Poly Oxidation)을 추가하여 게이트 산화막(32)의 에지 부분의 특성을 개선하였다.

도3은 종래의 또 다른 실시예에 따른 반도체 장치의 게이트 전극 형성시 발생하는 문제점을 설명하기 위한 도면이다.

도3을 참조하면, 종래의 또 다른 실시예에 따른 반도체 장치의 게이트 전극 형성 방법은 먼저, 반도체 기판(30)상에 게이트 산화막(32) 및 게이트 전극용 폴리실리콘막(34), 배리어 금속막(36), 그리고 금속 실리사이드막(38)을 순차적으로 형성한다.

그리고, 상기 막들(34, 36, 38)을 식각 하여 게이트 전극층(40)을 형성한다.

이때, 상기 배리어 금속막(36)과 금속 실리사이드막(38)으로 각각 티타늄 질화막(TiN)과 티타늄 실리사이드막($TiSi_x$)을 사용하는 경우, 상기 게이트 산화막(32)의 언더컷을 방지하기 위해 상기 게이트 폴리 산화 공정을 수행하면, 상기 게이트 전극층(40)의 배리어 금속막(36)의 양측에 돌출된 형태의 산화막(42b)이 형성된다.

이와 같이, 상기 배리어 금속막(36)의 양측에 형성된 산화막(42b)이 상기 게이트 전극용 폴리실리콘막(34) 또는 금속 실리사이드막(38)에 형성되는 산화막(42a) 보다 상대적으로 두껍게 형성되는 것은, 그 산화율이 상대적으로 더 높기 때문이다. 이로 인해, 상기 금속 실리사이드막(38)과 게이트 전극용 폴리실리콘막(34)의 에지 부분(44)이 취약해지는 문제점이 발생된다.

본 발명이 이루고자 하는 기술적 과제

본 발명은 상술한 제반 문제점을 해결하기 위해 제안된 것으로서, 스퍼터 방법으로 금속 실리사이드막을 형성한 후 후속 고온 열처리 공정에 대해 실리사이드 막의 실리콘 이상 성장을 방지할 수 있는 반도체 장치의 게이트 전극 형성 방법을 제공함에 그 목적이 있다.

본 발명의 다른 목적은 게이트 전극 식각 및 세정 공정에서 발생하는 게이트 산화막의 언더컷을 보상하고, 이때 게이트 전극의 배리어 금속막의 산화를 방지할 수 있는 반도체 장치의 게이트 전극 형성 방법을 제공함에 있다.

본 발명의 구성 및 작용

상술한 목적을 달성하기 위해 제안된 본 발명에 의하면, 반도체 장치의 게이트 전극 형성 방법은, 반도체 기판 상에 게이트 산화막을 형성하는 단계와; 상기 게이트 산화막 상에 게이트 전극용 폴리실리콘막 및 금속 실리사이드막을 순차적으로 형성하는 단계와; 상기 금속 실리사이드막 상에 얇은 금속 실리콘 질화막을 형성하는 단계와; 상기 얇은 금속 실리콘 질화막 상에 인 시츄(in-situ)로 게이트 식각용 절연막을 형성하는 단계와; 상기 게이트 식각용 절연막 및 얇은 금속 실리콘 질화막, 금속 실리사이드막, 그리고 게이트 전극용 폴리실리콘막을 식각하여 게이트 전극층을 형성하는 단계를 포함한다. 이때, 상기 금속 실리사이드막은 스퍼터 방법으로 형성되고, 상기 게이트 식각용 절연막은 소정의 고온에서 형성된다.

이 방법의 바람직한 실시예에 있어서, 상기 금속 실리사이드막은, 티타늄 실리사이드막이다.

상기 얇은 금속 실리콘 질화막은, 상기 금속 실리사이드막이 형성된 반도체 기판을 N₂ 및 NH₃ 중 어느 하나의 분위기에서 어닐링하여 형성된다.

이 방법의 바람직한 실시예에 있어서, 상기 게이트 식각용 절연막은, LPCVD 방법으로 형성되는 실리콘 질화막이다.

이 방법의 바람직한 실시예에 있어서, 상기 게이트 식각용 절연막은, 약 760℃의 고온에서 형성된다.

이 방법의 바람직한 실시예에 있어서, 상기 게이트 전극층을 형성하는 단계는 상기 게이트 식각용 절연막 상에 게이트 전극 영역을 정의하여 포토레지스트막 패턴을 형성하는 단계와; 상기 포토레지스트막 패턴을 마스크로 사용하여 상기 얇은 금속 실리콘 질화막의 일부분이 노출되도록 상기 게이트 식각용 절연막을 식각하는 단계와; 상기 포토레지스트막 패턴을 제거하는 단계와; 상기 게이트 식각용 절연막을 마스크로 사용하여 상기 얇은 금속 실리콘 질화막 및 그 하부의 금속 실리사이드막, 그리고 게이트 전극용 폴리실리콘막을 제거하는 단계를 포함한다.

이 방법의 바람직한 실시예에 있어서, 상기 반도체 장치의 게이트 전극 형성 방법은, 상기 금속 실리사이드막 형성 전에 상기 게이트 전극용 폴리실리콘막 상에 배리어 금속막을 형성하는 단계를 더 포함한다.

이 방법의 바람직한 실시예에 있어서, 상기 반도체 장치의 게이트 전극 형성 방법은, 상기 게이트 전극층 양측벽에 질화막 스페이서를 형성하는 단계를 더 포함한다.

상술한 목적을 달성하기 위한 본 발명에 의하면, 반도체 장치의 게이트 전극 형성 방법은, 반도체 기판 상에 게이트 산화막을 형성하는 단계와; 상기 게이트 산화막 상에 게이트 전극용 폴리실리콘막 및 금속 실리사이드막을 순차적으로 형성하는 단계와; 상기 금속 실리사이드막 상에 게이트 식각용 절연막을 형성하는 단계와; 상기 게이트 식각용 절연막 및 금속 실리사이드막, 그리고 게이트 전극용 폴리실리콘막을 식각하여 게이트 전극층을 형성하는 단계와; 상기 게이트 전극층의 금속 실리사이드막의 양측벽에 금속 실리콘 질화막을 형성하는 단계와; 상기 금속 실리콘 질화막을 포함하여 상기 게이트 전극층의 양측벽에 인 시츄(in-situ)로 절연막 스페이서를 형성하는 단계를 포함한다. 이때, 상기 금속 실리사이드막은 스퍼터 방법으로 형성되고, 상기 게이트 식각용 절연막은 소정의 저온에서 형성되며, 상기 절연막 스페이서는 소정의 고온에서 형성된다.

이 방법의 바람직한 실시예에 있어서, 상기 금속 실리사이드막은, 티타늄 실리사이드막이다.

이 방법의 바람직한 실시예에 있어서, 상기 게이트 식각용 절연막은, PECVD 방법으로 형성되는 실리콘 질화막이다.

이 방법의 바람직한 실시예에 있어서, 상기 게이트 식각용 절연막은, 약 400℃의 저온에서 형성된다.

이 방법의 바람직한 실시예에 있어서, 상기 게이트 전극층을 형성하는 단계는, 상기 게이트 식각용 절연막 상에 게이트 전극 영역을 정의하여 포토레지스트 패턴을 형성하는 단계와; 상기 포토레지스트 패턴을 마스크로 사용하여 상기 금속 실리사이드막의 일부분이 노출되도록 상기 게이트 식각용 절연막을 식각하는 단계와; 상기 포토레지스트막 패턴을 제거하는 단계와; 상기 게이트 식각용 절연막을 마스크로 사용하여 상기 금속 실리사이드막 및 그 하부의 게이트 전극용 폴리실리콘막을 제거하는 단계를 포함한다.

이 방법의 바람직한 실시예에 있어서, 상기 금속 실리콘 질화막은, 상기 게이트 전극층이 형성된 반도체 기판을 N₂ 및 NH₃ 중 어느 하나의 분위기에서 어닐링하여 형성된다.

이 방법의 바람직한 실시예에 있어서, 상기 절연막 스페이서는, LPCVD 방법으로 형성되는 실리콘 질화막이다.

이 방법의 바람직한 실시예에 있어서, 상기 반도체 장치의 게이트 전극 형성 방법은, 상기 금속 실리사이드막 형성 전에 상기 게이트 전극용 폴리실리콘막 상에 배리어 금속막을 형성하는 단계를 더 포함한다.

상술한 목적을 달성하기 위한 본 발명에 의하면, 반도체 장치의 게이트 전극 형성 방법은, 반도체 기판 상에 게이트 산화막을 형성하는 단계와; 상기 게이트 산화막 상에 금속 배리어막을 포함하는 다층 도전

막을 형성하는 단계와; 상기 다층 도전막을 식각 하여 게이트 전극층을 형성하는 단계와; 상기 게이트 전극층의 양측면을 포함하여 상기 반도체 기판에 얇은 절화막을 형성하는 단계를 포함한다.

이 방법의 바람직한 실시예에 있어서, 상기 금속 배리어막은, 티타늄 절화막이다.

이 방법의 바람직한 실시예에 있어서, 상기 다층 도전막은, 폴리실리콘막 및 금속 실리콘사이드막을 포함한다.

이 방법의 바람직한 실시예에 있어서, 상기 금속 실리콘사이드막은, 티타늄 실리콘사이드막이다.

이 방법의 바람직한 실시예에 있어서, 상기 얇은 절화막은, NH_3 플라즈마 가스를 사용하여 금속 고온 열처리 방법으로 형성한다.

이 방법의 바람직한 실시예에 있어서, 상기 얇은 절화막은, 저압 튜브에서 NH_3 와 SiH_4 의 혼합 가스를 사용하여 형성한다.

상기 얇은 절화막은, 저압 튜브에서 NH_3 가스를 사용하여 형성한 후, NH_3 및 SiH_4 의 혼합 가스를 사용하여 형성한다.

본 발명에 의한 반도체 장치의 게이트 전극 형성 방법은, 스퍼터 방법으로 형성된 실리콘사이드막이 후속 고온 공정에 대해 실리콘 이상 성장을 발생시키는 것으로 방지하고, 게이트 산화막의 소모에 따른 폴리리크 현상을 억제함과 동시에 배리어 금속막의 소모를 최소화한다.

이하, 도4 내지 도6을 참조하여 본 발명의 실시예를 상세히 설명한다.

(실시예 1)

도4a 내지 도4d는 본 발명의 일 실시예에 따른 반도체 장치의 게이트 전극 형성 방법을 순차적으로 보여주는 단면도이다.

도4a를 참조하면, 본 발명의 일 실시예에 따른 반도체 장치의 게이트 전극 형성 방법은 먼저, 반도체 기판(100)상에 활성영역(a)과 비활성영역(b)을 정의하여 필드산화막(102)을 형성한다.

그리고, 상기 반도체 기판(100)상에 약 70 Å 두께의 게이트 산화막(104)을 형성한다.

상기 게이트 산화막(104)상에 게이트 전극용 폴리실리콘막(106) 및 금속 실리콘사이드막(108)을 순차적으로 형성한 후, 상기 금속 실리콘사이드막(108)상에 얇은 금속 실리콘 절화막(110)을 형성한다.

이때, 상기 금속 실리콘사이드막(108) 형성 전에 배리어 금속막(도면에 미도시)을 더 형성할 수 있다.

상기 금속 실리콘사이드막(108)은 예를 들어, 티타늄 실리콘사이드막(TiSi_x)으로서, PVD(Physical Vapor Deposition)의 일종인 스퍼터 방법으로 형성한다.

상기 얇은 금속 실리콘 절화막(110)은, 상기 금속 실리콘사이드막(108)이 형성된 반도체 기판(100)을 N_2 또는 NH_3 분위기에서 어닐링(annealing)함으로써, 상기 금속 실리콘사이드막(108)상에 수 Å 두께로 형성된다.

다음, 상기 얇은 금속 실리콘 절화막(110)상에 인 시츄(in-situ)로 게이트 식각용 절연막(112)을 형성한다.

상기 게이트 식각용 절연막(112)은, NH_3 와 SiCl_4 분위기에서 LPCVD 방법으로 형성된 실리콘 절화막(112)으로서, 상기 LPCVD는 약 760°C 의 고온에서 수행된다.

이때, 상기 얇은 금속 실리콘 절화막(110)이 상기 게이트 식각용 절연막(112) 형성시 상기 금속 실리콘사이드막(108)으로부터 발생할 수 있는 실리콘 이상 성장을 저지하게 된다.

도4b에 있어서, 상기 게이트 식각용 절연막(112) 상에 게이트 전극 영역을 정의하여 포토레지스트막 패턴(도면에 미도시)을 형성한다.

상기 포토레지스트막 패턴(도면에 미도시)을 마스크로 사용하여 상기 얇은 금속 실리콘 절화막(110)의 일부분이 노출되도록 상기 게이트 식각용 절연막(112)을 식각 한다.

그리고, 상기 포토레지스트막 패턴(도면에 미도시)을 제거한 후, 상기 게이트 식각용 절연막(112)을 마스크로 사용하여 얇은 금속 실리콘 절화막(110) 및 그하부의 금속 실리콘사이드막(108), 그리고 게이트 전극용 폴리실리콘막(106)을 제거하여 게이트 전극층(114)을 형성한다.

다음, 도4c를 참조하면, 상기 게이트 전극층(114)을 포함하여 상기 게이트 산화막(104)상에 LPCVD 방법으로 실리콘 절화막(116)을 형성한다.

이때, 상기 금속 실리콘사이드막(108)은 상기 게이트 식각용 절연막(112) 형성시 고온 열처리 과정을 거친 후이므로, 실리콘 이상 성장은 발생되지 않는다.

마지막으로, 상기 실리콘 절화막(116)을 에치 백(etch back)하여 상기 게이트 전극층(114)의 양측벽에 절화막 스페이서(116a)를 형성하면 도4d에 도시된 바와 같이, 반도체 장치의 게이트 전극이 형성된다.

(실시예 2)

도5a 내지 도5d는 본 발명의 다른 실시예에 따른 반도체 장치의 게이트 전극 형성 방법을 순차적으로 보여주는 단면도이다.

도5a 내지 도5d에 있어서, 상기 도4a 내지 도4b에 도시된 반도체 장치의 게이트 전극의 구성 요소와 동

일한 기능을 갖는 구성 요소에 대해서는 동일한 참조번호를 병기한다.

도5a를 참조하면, 본 발명의 일 실시예에 따른 반도체 장치의 게이트 전극 형성 방법은 먼저, 반도체 기판(100)상에 활성영역(a)과 비활성영역(b)을 정의하여 필드산화막(102)을 형성한다.

그리고, 상기 반도체 기판(100)상에 게이트 산화막(104)을 형성한다.

상기 게이트 산화막(104)상에 게이트 전극용 폴리실리콘막(106) 및 금속 실리사이드막(108), 그리고 게이트 식각용 절연막(120)을 순차적으로 형성한다.

이때, 상기 금속 실리사이드막(108) 형성 전에 배리어 금속막(도면에 미도시)을 더 형성할 수 있다.

상기 게이트 식각용 절연막(120)은, NH_3 와 $SiCl_4$ 분위기에서 PECVD 방법을 사용하여 형성된 실리콘 질화막(120)으로서, 상기 PECVD는 약 400°C 의 저온에서 수행된다.

상기 일 실시예에서와 같은 방법으로, 상기 게이트 식각용 절연막(120) 및 실리사이드막(108), 그리고 게이트 전극용 폴리실리콘막(106)을 식각 하여 도5b에 도시된 바와 같이, 게이트 전극층(122)을 형성한다.

도5c에 있어서, 상기 반도체 기판(100)을 N_2 분위기 또는 NH_3 분위기에서 어닐링 하여 상기 게이트 전극층(122)의 상기 금속 실리사이드막(108)의 양측벽에 수 Å 두께의 얇은 금속 실리콘 질화막(124)을 형성한다.

이때, 상기 게이트 전극용 폴리실리콘막(106)의 양측벽에는 얇은 실리콘 질화막(125)이 형성된다.

그리고, 인 시츄(in-situ)로 상기 얇은 금속 실리콘 질화막(124) 및 얇은 실리콘 질화막(125)을 포함하여 상기 게이트 산화막(104)상에 실리콘 질화막(126)을 형성한다.

상기 실리콘 질화막(126)은, 후속 공정으로 형성되는 배선 층간절연막과 식각 선택비가 같은 막을 형성해야 하므로 LPCVD 방법으로 형성한다.

이때, 상기 얇은 금속 실리콘 질화막(124)이 상기 게이트 전극층(122)의 금속 실리사이드막(108)의 측면 실리콘 이상 성장을 저지하게 된다.

마지막으로, 상기 실리콘 질화막(126)을 에치백하여 상기 게이트 전극층(122)의 양측면에 질화막 스페이서(126a)를 형성하면 도5d에 도시된 바와 같이, 반도체 장치의 게이트 전극이 형성된다.

(실시예 3)

도6a 내지 도6c는 본 발명의 또 다른 실시예에 따른 반도체 장치의 게이트 전극 형성 방법을 순차적으로 보여주는 단면도이다.

도6a를 참조하면, 본 발명의 또 다른 실시예에 따른 반도체 장치의 게이트 전극 형성 방법은 먼저, 반도체 기판(200)상에 약 70 Å 두께의 게이트 산화막(202)을 형성한다.

그리고, 상기 게이트 산화막(202) 상에 순차적으로 형성된 게이트 전극용 폴리실리콘막(204) 및 배리어 금속막(206), 그리고 금속 실리사이드막(208)을 식각하여 게이트 전극층(210)을 형성한다.

상기 게이트 전극용 폴리실리콘막(204)은 약 1000 Å 두께로 형성되고, 상기 배리어 금속막(206)은 TiN 으로서 약 50 Å 두께로 형성된다. 또한, 상기 금속 실리사이드막(208)은 티타늄 실리사이드막(208)으로서 약 1000 Å 두께로 형성된다.

이때, 상기 게이트 전극층(210) 형성 및 이후 세정 공정으로 인해 상기 게이트 전극층(210) 하부 에지 부분의 게이트 산화막(202)이 소모되어, 상기 게이트 전극층(210)의 하부 에지 부분(203)과 반도체 기판(200)이 취약해지게 된다.

도6b에 있어서, 상기 게이트 전극층(210)의 하부 에지 부분과 반도체 기판(200)이 취약해져서 발생하는 폴리 리크(poly leak) 현상을 방지하고, 상기 배리어 금속막(206)의 소모를 최소화하기 위해 상기 게이트 전극층(210) 표면을 둘러싸도록 얇은 질화막(212)을 형성한다.

상기 얇은 질화막(212)은, 850°C ~ 950°C 범위 내의 고온에서 약 90 초 정도 RTN(Rapid Thermal Nitridation) 공정을 수행함으로써 형성된다.

이때, 상기 RTN 공정은, NH_3 플라스마 또는 LP 튜브(tube) 내에서 NH_3 와 SiH_4 의 혼합 가스 또는 초기 스텝에서 NH_3 플로우를 진행하고 다음 스텝에서 상기 NH_3 와 SiH_4 의 혼합 가스를 미용하여 수행된다.

마지막으로, 상기 얇은 질화막이 형성된 게이트 전극층(210)의 양측벽에 절연막 스페이서(214)를 형성하면 도6c에 도시된 바와 같이, 반도체 장치의 게이트 전극이 형성된다.

상술한 바와 같은 반도체 장치의 게이트 전극 형성 방법에 의해서, 게이트 전극 형성시 발생하는 실리콘 이상 성장을 저지하고, 폴리 리크 현상을 방지하며, 배리어 금속막의 소모를 최소화함으로써, 안정된 게이트 특성을 갖는 트랜지스터를 형성할 수 있다.

발명의 효과

본 발명은 반도체 장치의 게이트 전극 형성시 스퍼터 방법으로 금속 실리사이드막을 형성하는 경우 후속 고온 공정에서 발생하는 실리콘 이상 성장을 저지할 수 있고, 게이트 전극 형성을 위한 식각 공정과 세정 공정에 따른 게이트 특성 저하를 최소화시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1. 반도체 기판 상에 게이트 산화막을 형성하는 단계와; 상기 게이트 산화막 상에 게이트 전극용 폴리실리콘막 및 금속 살리사이드막을 순차적으로 형성하는 단계와; 상기 금속 살리사이드막 상에 얇은 금속 실리콘 질화막을 형성하는 단계와; 상기 얇은 금속 실리콘 질화막 상에 인 시츄(in-situ)로 게이트 식각용 절연막을 형성하는 단계와; 상기 게이트 식각용 절연막 및 얇은 금속 실리콘 질화막, 금속 살리사이드막, 그리고 게이트 전극용 폴리실리콘막을 식각 하여 게이트 전극층을 형성하는 단계를 포함하고, 상기 금속 살리사이드막은 스퍼터 방법으로 형성되고, 상기 게이트 식각용 절연막은 소정의 고온에서 형성되는 반도체 장치의 게이트 전극 형성 방법.

청구항 2. 제1항에 있어서, 상기 금속 살리사이드막은, 티타늄 살리사이드막인 반도체 장치의 게이트 전극 형성 방법.

청구항 3. 제1항에 있어서, 상기 얇은 금속 실리콘 질화막은, 상기 금속 살리사이드막이 형성된 반도체 기판을 N_2 및 NH_3 중 어느 하나의 분위기에서 어닐링 하여 형성되는 반도체 장치의 게이트 전극 형성 방법.

청구항 4. 제1항에 있어서, 상기 게이트 식각용 절연막은, LPCVD 방법으로 형성되는 실리콘 질화막인 반도체 장치의 게이트 전극 형성 방법.

청구항 5. 제1항에 있어서, 상기 게이트 식각용 절연막은, 약 $760^{\circ}C$ 의 고온에서 형성되는 반도체 장치의 게이트 전극 형성 방법.

청구항 6. 제1항에 있어서, 상기 게이트 전극층을 형성하는 단계는, 상기 게이트 식각용 절연막 상에 게이트 전극 영역을 정의하여 포토레지스트막 패턴을 형성하는 단계와; 상기 포토레지스트막 패턴을 마스크로 사용하여 상기 얇은 금속 실리콘 질화막의 일부분이 노출되도록 상기 게이트 식각용 절연막을 식각 하는 단계와; 상기 포토레지스트막 패턴을 제거하는 단계와; 상기 노출된 부분의 얇은 금속 실리콘 질화막 및 그 하부의 금속 살리사이드막, 그리고 게이트 전극용 폴리실리콘막을 제거하는 단계를 포함하는 반도체 장치의 게이트 전극 형성 방법.

청구항 7. 제1항에 있어서, 상기 반도체 장치의 게이트 전극 형성 방법은, 상기 금속 살리사이드막 형성전에 상기 게이트 전극용 폴리실리콘막 상에 배리어 금속막을 형성하는 단계를 더 포함하는 반도체 장치의 게이트 전극 형성 방법.

청구항 8. 제1항에 있어서, 상기 반도체 장치의 게이트 전극 형성 방법은, 상기 게이트 전극층 양측벽에 질화막 스페이서를 형성하는 단계를 더 포함하는 반도체 장치의 게이트 전극 형성 방법.

청구항 9. 반도체 기판 상에 게이트 산화막을 형성하는 단계와; 상기 게이트 산화막 상에 게이트 전극용 폴리실리콘막 및 금속 살리사이드막을 순차적으로 형성하는 단계와; 상기 금속 살리사이드막 상에 게이트 식각용 절연막을 형성하는 단계와; 상기 게이트 식각용 절연막 및 금속 살리사이드막, 그리고 게이트 전극용 폴리실리콘막을 식각 하여 게이트 전극층을 형성하는 단계와; 상기 게이트 전극층의 금속 살리사이드막의 양측벽에 얇은 금속 실리콘 질화막을 형성하는 단계와; 상기 얇은 금속 실리콘 질화막을 포함하여 상기 게이트 전극층의 양측벽에 인 시츄(in-situ)로 절연막 스페이서를 형성하는 단계를 포함 하고, 상기 금속 살리사이드막은 스퍼터 방법으로 형성되고, 상기 게이트 식각용 절연막은 소정의 저온에서 형성되며, 상기 절연막 스페이서는 소정의 고온에서 형성되는 반도체 장치의 게이트 전극 형성 방법.

청구항 10. 제9항에 있어서, 상기 금속 살리사이드막은, 티타늄 살리사이드막인 반도체 장치의 게이트 전극 형성 방법.

청구항 11. 제9항에 있어서, 상기 게이트 식각용 절연막은, PECVD 방법으로 형성되는 실리콘 질화막인 반도체 장치의 게이트 전극 형성 방법.

청구항 12. 제9항에 있어서, 상기 게이트 식각용 절연막은, 약 $400^{\circ}C$ 의 저온에서 형성되는 반도체 장치의 게이트 전극 형성 방법.

청구항 13. 제9항에 있어서, 상기 게이트 전극층을 형성하는 단계는, 상기 게이트 식각용 절연막 상에 게이트 전극 영역을 정의하여 포토레지스트막 패턴을 형성하는 단계와; 상기 포토레지스트막 패턴을 마스크로 사용하여 상기 금속 살리사이드막의 일부분이 노출되도록 상기 게이트 식각용 절연막을 식각 하는 단계와; 상기 포토레지스트막 패턴을 제거하는 단계와; 상기 노출된 부분의 금속 살리사이드막 및 그 하부의 게이트 전극용 폴리실리콘막을 제거하는 단계를 포함하는 반도체 장치의 게이트 전극 형성 방법.

청구항 14. 제9항에 있어서, 상기 얇은 금속 실리콘 질화막은, 상기 게이트 전극층이 형성된 반도체 기판을 N_2 및 NH_3 중 어느 하나의 분위기에서 어닐링 하여 형성되는 반도체 장치의 게이트 전극 형성 방법.

청구항 15. 제9항에 있어서, 상기 절연막 스페이서는, LPCVD 방법으로 형성되는 실리콘 질화막인 반도체 장치의 게이트 전극 형성 방법.

청구항 16. 제9항에 있어서, 상기 반도체 장치의 게이트 전극 형성 방법은, 상기 금속 살리사이드막 형성 전에 상기 게이트 전극용 폴리실리콘막 상에 배리어 금속막을 형성하는 단계를 더 포함하는 반도체 장치의 게이트 전극 형성 방법.

청구항 17. 반도체 기판 상에 게이트 산화막을 형성하는 단계와; 상기 게이트 산화막 상에 금속 배리어막을 포함하는 다층 도전막을 형성하는 단계와; 상기 다층 도전막을 식각 하여 게이트 전극층을 형성 하는 단계와; 상기 게이트 전극층의 양측면을 포함하여 상기 게이트 산화막 상에 얇은 질화막을 형성하

는 단계를 포함하는 반도체 장치의 게이트 전극 형성 방법.

청구항 18. 제 17항에 있어서, 상기 금속 배리어막은, 티타늄 질화막인 반도체 장치의 게이트 전극 형성 방법.

청구항 19. 제 17항에 있어서, 상기 다층 도전막은, 폴리실리콘막 및 금속 실리사이드막을 포함하는 반도체 장치의 게이트 전극 형성 방법.

청구항 20. 제 17항에 있어서, 상기 금속 실리사이드막은, 티타늄 실리사이드막인 반도체 장치의 게이트 전극 형성 방법.

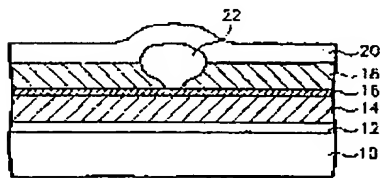
청구항 21. 제 17항에 있어서, 상기 얇은 질화막은, NH_3 플라스마 가스를 사용하여 금속 고온 열처리 방법으로 형성하는 반도체 장치의 게이트 전극 형성 방법.

청구항 22. 제 17항에 있어서, 상기 얇은 질화막은, 저압 튜브에서 NH_3 와 SiH_4 의 혼합 가스를 사용하여 형성하는 반도체 장치의 게이트 전극 형성 방법.

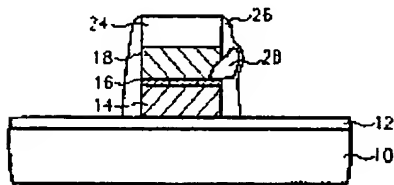
청구항 23. 제 17항에 있어서, 상기 얇은 질화막은, 저압 튜브에서 NH_3 가스를 사용하여 형성한 후, NH_3 및 SiH_4 의 혼합 가스를 사용하여 형성하는 반도체 장치의 게이트 전극 형성 방법.

도면

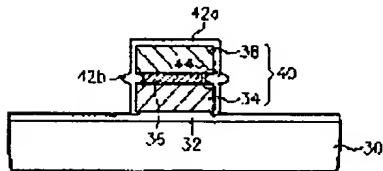
도면1



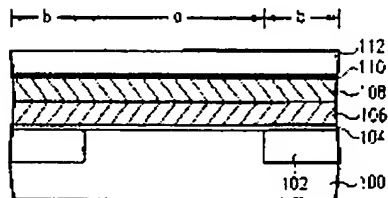
도면2



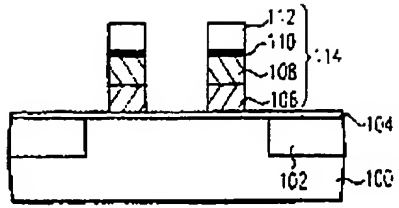
도면3



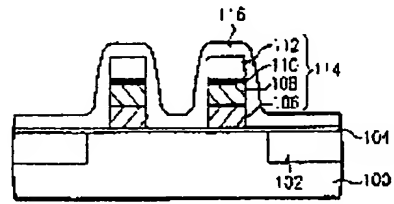
도면4a



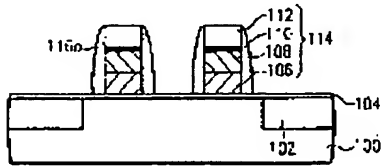
도 4b



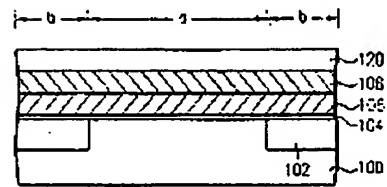
도 4c



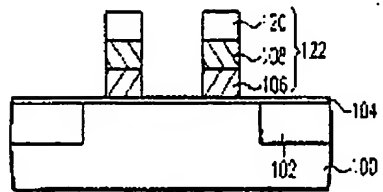
도 4d



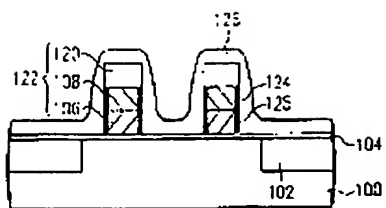
도 5a



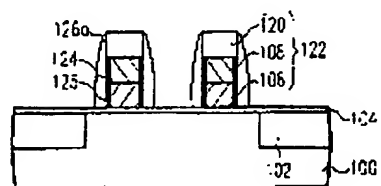
도 5b



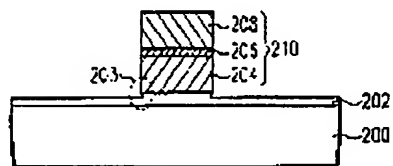
도면5c



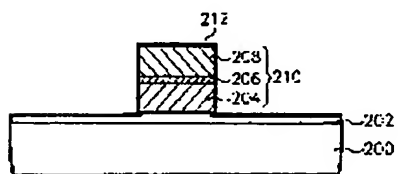
도면5d



도면8a



도면8b



도면8c

